

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-274271
 (43)Date of publication of application : 18.10.1996

(51)Int.Cl.

H01L 27/10
 G11C 11/41

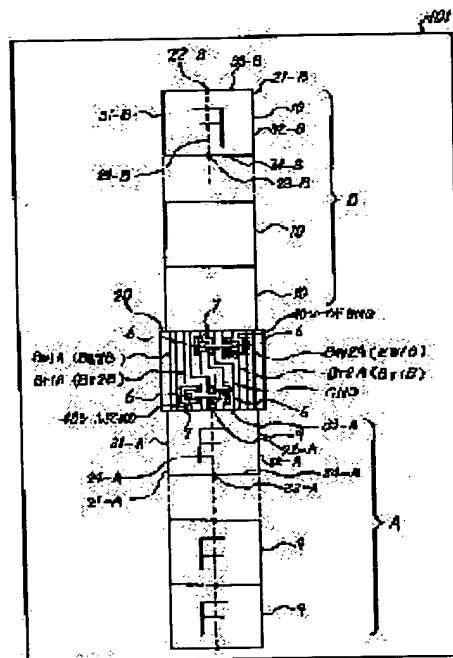
(21)Application number : 07-072809
 (22)Date of filing : 30.03.1995

(71)Applicant : NEC CORP
 (72)Inventor : FURUYA NOBUO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To obtain a memory cell which is restrained from increasing in area occupied by it by a method wherein the write bit lines and read bit lines of memory cells contained in a first and a second memory cell forming section are connected together.
CONSTITUTION: A memory cell 9 or a memory cell 10 arranged in a memory cell forming region (21-A or 21-B) is provided between a write bit line Bw1 and a read bit line Br1. A shield GND line 40 formed of a metal wiring of the same layer with the write bit line Bw1 and the read bit line Br1 is provided. Write bit lines Bw1A and Bw2B are connected together, write bit lines Bw2A and Bw1B are connected together, read bit lines Br1A and Br2B are connected together, and read bit lines Br2A and Br1B are connected together through a wiring region 20 respectively. By this setup, a semiconductor memory device of this constitution can be protected against malfunction and reductions in operational speed and lessened in area occupied by memory cells.



LEGAL STATUS

[Date of request for examination] 30.03.1995
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 2689945
 [Date of registration] 29.08.1997
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 7 4 2 7 1

(43) 公開日 平成8年(1996)10月18日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 7 1		H 0 1 L 27/10 4 7 1	
G 1 1 C 11/41			G 1 1 C 11/34 K	

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平7-72809

(22) 出願日 平成7年(1995)3月30日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 古谷 信雄

東京都港区芝五丁目7番1号 日本電気株式
会社内

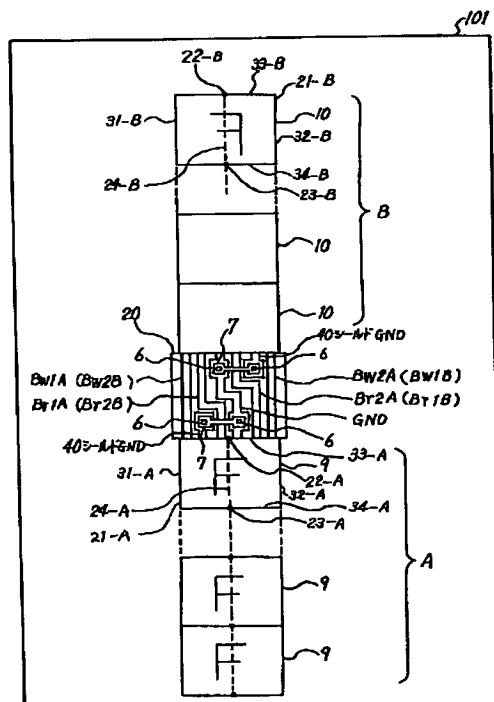
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 書き込みビット線から読み出しビット線へのノイズを防止でき、実質的にチップ占有面積が最適化された記憶セルを備える書き込み、読み出しを非同期に行う多ポート型の半導体記憶装置を提供する。

【構成】 1組の書き込みビット線と読み出しビット線間にシールド配線を備えるメモリセルを用いたメモリセル列を2分割し、この2分割したセル列間で記憶セルの配置方向をビット線方向に対して鏡面配置し、分割したセル列間を配線で接続する構成である。



【特許請求の範囲】

【請求項 1】 半導体基板の表面に、第 1 の方向に延びる第 1 および第 2 の端辺と前記第 1 の方向直角方向の第 2 の方向に延びる第 3 および第 4 の端辺とによって各々が囲まれた複数の四角平面形状のメモリセル形成領域と、

前記複数のメモリセル形成領域が前記第 1 の方向に配列されたメモリセル形成部と、

前記各メモリセル形成領域の各々に配列形成された複数のメモリセルと、

前記メモリセル形成領域内でそれぞれ該当する前記複数のメモリセルを接続し同領域内をそれぞれ前記第 1 の方向に延在して形成された第 1 および第 2 の書き込み用ビット線ならびに第 1 および第 2 の読み出し用ビット線とを有し、

前記メモリセルの前記第 1 および第 2 の書き込み用ビット線ならびに第 1 および第 2 の読み出し用ビット線のそれぞれが同一配線層の金属配線から成り、前記メモリセルは前記第 1 の書き込み用ビット線と前記第 1 の読み出し用ビット線との間に前記金属配線と同一配線層の固定電位金属配線が配置形成され前記第 2 の書き込み用ビット線と前記第 2 の読み出し用ビット線との間には前記固定電位金属配線が配置形成されない構成であり、前記メモリセル形成部は第 1 のメモリセル形成部と第 2 のメモリセル形成部とに 2 分割する構成であり、前記第 2 のメモリセル形成部に配置形成される前記メモリセルは前記第 1 のメモリセル形成部に配置形成される前記メモリセルの配置と前記第 3 の端辺の中点と前記第 4 の中点とを結ぶ中心線に関して線対称に配置され、前記第 1 のメモリセル形成部に含まれる前記メモリセルの前記第 1 の書き込み用ビット線と前記第 2 のメモリセル形成部に含まれる前記メモリセルの前記第 2 の書き込み用ビット線と前記第 1 のメモリセル形成部に含まれる前記メモリセルの前記第 1 の読み出し用ビット線と前記第 2 のメモリセル形成部に含まれる前記メモリセルの前記第 2 の読み出し用ビット線とをそれぞれ接続して成ることを特徴とする半導体記憶装置。

【請求項 2】 前記第 1 のメモリセル形成部に含まれる前記メモリセルの数と前記第 2 のメモリセル形成部に含まれる前記メモリセルの数が等しいことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記第 1 のメモリセル形成部と前記第 2 のメモリセル形成部との間に配置される配線領域を備えることを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に関し、特に書き込みおよび読み出しを非同期に行うデュアルポート型の半導体記憶装置に関する。

【0002】

【従来の技術】 パーソナルコンピュータなどの小型コンピュータにおいて CPU とデータディスプレイ装置との間に配置され、CPU の制御の下にディスプレイ表示用のデータの書き込み／読み出しを行う画像処理用のデュアルポートメモリが市販され広く使用されてきている。この用なデュアルポートメモリはランダムアクセスポートおよびシリアルアクセスポートを有しており、例えば 1986 年 12 月 30 日発行の米国特許第 4,633,411 号（発明者：石本、譲渡人：NEC）に開示されている。通常のデュアルポートメモリのシリアルアクセスポートは、複数の行および複数の列の交点にそれぞれ配置された多数のメモリセルから成るメモリセルアレイと、行アドレス信号に応答して前記行の 1 つを選択する手段と、前記選択された 1 つの行に接続されるメモリセルの記憶情報の各々を転送制御信号に同期して転送する手段と、これら転送される情報を一時記憶するデータレジスタとを備える。さらにこのシリアルアクセスポートは、上記データレジスタに一時記憶されたデータをシリアルに読み出すために、シリアルデータ出力バッファと、シリアルデータ出力端子と、第 1 の制御信号に同期して順次シフトアップするデータシフト手段と、前記データシフト手段の出力に응答して上記データレジスタから読み出されるデータの 1 つを選択するスイッチ手段と、このスイッチ手段を経由して上記データレジスタの出力と上記シリアルデータ出力バッファとを接続するリードバスラインと、前記複数の出力を前記転送制御信号に同期して前記データシフト手段の初期値とする初期値設定手段とを備え、前記データレジスタの出力を順次シリアルデータ出力バッファから出力する構成を備える。

【0003】 図 3 は上述のデュアルポートメモリのメモリセルの構成を示す回路図であり、図 4 はこのメモリセルの平面配置図である。

【0004】 図 3 および図 4 を参照すると、この従来の第 1 メモリセルは、10 個の MOS トランジスタ（QP1, QP2, QN1～QN8）と、書き込みを行うワード線 Ww ならびにビット線 Bw1 および Bw2 と、読み出しを行うワード線 Wr ならびにビット線 Br1 および Br2、電源配線 VDD ならびにグランド配線のそれぞれにより構成される。トランジスタ QP3, QP4 は読み出しビット線 Br1 および Br2 のそれぞれの High 電位を保つためのトランジスタであり、このメモリセルは、書き込みビット線 Bw1, Bw2 に相補データを与えて書き込みを行う事により、書き込み動作の高速・安定化が図れる。また読み出しビット線 Br1, Br2 から相補データの読み出しを行う事により、読み出し動作の高速化が図れる。

【0005】 さらに、図 5 を参照すると、このデュアルポートメモリは、このメモリセル 11 を縦方向に複数個配置し、メモリセル 11 の書き込みビット線 Bw1 およ

びBw2のそれぞれならびに読み出しビット線Br1およびBr2のそれぞれならびにグラウンド配線GNDをメモリセル間で接続したメモリセル列12を備える。

【0006】この記憶セル11の書き込み動作時には、書き込みワード線(Ww-0~Ww-n)から1本のワード線を選択し、書き込みビット線Bw1、Bw2に電源電圧VDDの振幅の相補データ(Vおよび0V)を与えてワード線を選択してメモリセル11への書き込みを行う。また、メモリセル11の読み出し動作時には、読み出しワード線(Wr-0~Wr-n)から1本のワード線を選択し、読み出しビット線Br1、Br2に微小振幅の相補データ(電源電圧V-(電源電圧-Δv))を取り出し、ワード線を選択した記憶セルからの読み出しを行う。この書き込み動作および読み出し動作は独立・非同期に行われる。

【0007】再び、図4を参照すると、メモリセル11の書き込みビット線Bw1、Bw2、読み出しビット線Br1、Br2は同一層で形成されたアルミニウム配線を平行に配置して構成され、書き込みビット線Bw1と読み出しビット線Br1との間、及び書き込みビット線Bw2と読み出しビット線Br2との間には、寄生のカップリング容量(C1、C2)が存在する。

【0008】一方、微細加工技術の進歩に伴い、書き込みビット線と読み出しビット線の配線間隔は縮小され記憶セルサイズは縮小されてきたが、その逆に書き込みビット線と読み出しビット線間のカップリング容量の容量値は増加している。このため書き込み動作により振幅の大きな書き込みビット線の電位が変化すると、このカップリング容量(C1、C2)によって微小振幅の読み出しビット線にノイズが発生し、読み出し動作において誤動作が生じる、あるいはスピードが低下するという問題が生じてきた。

【0009】このような書き込みビット線から読み出しビット線へのノイズを防止し、読み出し動作の安定化を図るメモリセル構造の従来技術が特開昭63-25881号公報に開示されている。この第2の従来メモリセルは、書き込みビット線と読み出しビット線の間にこれらのビット線と平行にグラウンド線を延設する。これにより読み出しビット線を書き込みビット線からシールドし、書き込みビット線の電位変化による読み出しビット線へのノイズを防止している。

【0010】図3に示すこの第2の従来メモリセルをデュアルポートメモリのメモリセルに適用したものを図6に示す。

【0011】図6を参照すると、第2の従来メモリセルは、書き込みビット線Bw1と読み出しビット線Br1間、及び書き込みビット線Bw2と読み出しビット線Br2との間のそれぞれにこれらのビット線と同一層に形成されるアルミニウム配線によるグラウンド線GNDを設けている。

【0012】またさらに、書き込みビット線から読み出しビット線へのノイズを防止する従来技術のメモリセルとして、書き込みビット線Bw1と読み出しビット線Br1間、書き込みビット線Bw2と読み出しビット線Br2間の配線間隔d2をそれぞれ図4に示す第1の従来メモリセルの配線間隔d1より大きく広げるメモリセルも周知である(図7参照)。

【0013】

【発明が解決しようとする課題】しかしながら、図6に示す第2の従来メモリセルは、書き込みビット線Bw1と読み出しビット線Br1間、および書き込みビット線Bw2と読み出しビット線Br2間のそれぞれにグラウンド線を設けているため、記憶セルのチップの占有面積が大きい。アルミニウム金属配線の製造プロセス上の最小幅、最小間隔がそれぞれ約0.9μm、0.8μmであるような製造プロセスにおいて図4に示すメモリセルサイズは、チップ面積が最小となるように配置した場合約150μm²となるが、グラウンド線を2本挿入した従来技術の場合(図6参照)には約170μm²となり、約14%チップ占有面積が増加する。

【0014】図7に示す第3の従来例のメモリセルも書き込みビット線と読み出しビット線間を広げた場合にも約14%面積が増加し、記憶セルのチップ占有面積が大きいという問題があった。

【0015】したがって、本発明の目的は上記の問題に鑑み、実質的にメモリセルのチップ占有面積の増加しないメモリセルを有するメモリセル列を含むデュアルポートの半導体記憶装置を提供することにある。

【0016】

【課題を解決するための手段】本発明の半導体記憶装置は、半導体基板の表面に、第1の方向に延びる第1および第2の端辺と前記第1の方向と直角方向の第2の方向に延びる第3および第4の端辺とによって各々が囲まれた複数の四角平面形状のメモリセル形成領域と、前記複数のメモリセル形成領域が前記第1の方向に配列されたメモリセル形成部と、前記各メモリセル形成領域の各々に配列形成された複数のメモリセルと、前記メモリセル形成領域内でそれぞれ該当する前記複数のメモリセルを接続し同領域内をそれぞれ前記第1の方向に延在して形成された第1および第2の書き込み用ビット線ならびに第1および第2の読み出し用ビット線とを有し、前記メモリセルの前記第1および第2の書き込み用ビット線ならびに第1および第2の読み出し用ビット線のそれぞれが同一配線層の金属配線から成り、前記メモリセルは前記第1の書き込み用ビット線と前記第1の読み出し用ビット線との間に前記金属配線と同一配線層の固定電位金属配線が配置形成され前記第2の書き込み用ビット線と前記第2の読み出し用ビット線との間には前記固定電位金属配線が配置形成されない構成であり、前記メモリ形成部は第1のメモリセル形成部と第2のメモリセル形成

部とに 2 分割する構成であり、前記第 2 のメモリセル形成部に配置形成される前記メモリセルは前記第 1 のメモリセル形成部に配置形成される前記メモリセルの配置と前記第 3 の端辺の中点と前記第 4 の中点とを結ぶ中心線に関して線対称に配置され、前記第 1 のメモリ形成部に含まれる前記メモリセルの前記第 1 の書き込み用ビット線と前記第 2 のメモリセル形成部に含まれる前記メモリセルの前記第 2 の書き込み用ビット線と前記第 1 のメモリセル形成部に含まれる前記メモリセルの前記第 2 の読み出し用ビット線とをそれぞれ接続して成る構成である。

【0017】また本発明の半導体記憶装置は、前記第 1 のメモリセル形成部に含まれる前記メモリセルの数と前記第 2 のメモリセル形成部に含まれる前記メモリセルの数が等しい構成とすることもできる。

【0018】さらに、本発明の半導体記憶装置は、前記第 1 のメモリセル形成部と前記第 2 のメモリセル形成部との間に配置される配線領域を備える構成とすることもできる。

【0019】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0020】図 2 を参照すると、本発明の一実施例のデュアルポート半導体記憶装置を構成する半導体チップ 100 は、メモリセルが配列形成されたメモリセル形成部 101 と、このメモリセル形成部 101 を行方向に複数個含みメモリセルがアレイ状に配置されたメモリアレイ部 102 と、周辺回路部（図示してない）とを備える。

【0021】さらに本発明の一実施例のデュアルポート半導体装置のメモリセル形成部 101 の構成を示す図 1 を併せて参照すると、この実施例のメモリセル形成部 101 は、第 1 のメモリセル形成部 A と第 2 のメモリセル形成部 B とを有し、メモリセル形成部 A とメモリセル形成部 B との間に配線領域部 20 を有する構成である。メモリセル形成部 A は端辺（31-A、32-A、33-A および 34-A）のそれぞれで囲まれたメモリセル形成領域 21-A を複数個含み、メモリセル形成部 B は端辺（31-B、32-B、33-B および 34-B）のそれぞれで囲まれたメモリセル形成領域 21-B を複数個含みメモリセル形成領域 21-A の個数とメモリセル形成領域 21-B の個数とは等しく配置されている。

【0022】さらに、図 3 を併せて参照すると、上述のメモリセル形成領域（21-A または 21-B）に配置されるメモリセル 9 または 10 は、書き込み用ビット線 BW1 と読み出し用ビット線 Br1 との間に設置され書き込み用ビット線および読み出し用ビット線 Br1 と同一層の金属配線で配置形成されるシールド GND 線 40 を有する以外は従来の第 1 のメモリセルの構成要素と同一でその構成要素には同一参照符号を付してある。

【0023】再び図 1 を参照すると、この図に示した本

発明の一実施例の半導体記憶装置のメモリセル形成領域 21-A においては、図 3 に示すメモリセル 9 が配置されその配置方向を記号 F で示す。メモリセル形成領域 21-B のメモリセル 10 の配置は端辺 33-B の中点（22-B）と端辺 34-B の中点（23-B）のそれぞれを結ぶ中心線（24-B）に関してメモリセル形成領域 21-A に配置されるメモリセル 9 を線対称に配置形成する。この配置形成されたメモリセル 10 の配置方向は上述の記号 F に対応して逆 F の記号として示される（図 1 参照）。

【0024】さらに、この実施例の半導体記憶装置は配線領域部 20 において書き込みビット線 BW1A と書き込みビット線 BW2B とを、書き込みビット線 BW2A と書き込みビット線 BW1B とを、読み出しビット線 Br1A と読み出しビット線 Br2B とを、読み出しビット線 Br1B とをそれぞれ接続する構成である。

【0025】次に、この実施例の半導体記憶装置のメモリセルの動作については従来の第 1～第 3 のメモリセルの動作と同一なのでその詳細な説明は省略する。

20 【0026】

【発明の効果】以上説明した様に本発明では、メモリセル列における書き込み用ビット線と読み出し用ビット線のカップリング容量は 50% となり、書き込み用ビット線から読み出し用ビット線へのノイズの発生を抑え、読み出し動作において誤動作やスピード低下を防ぐ事ができる効果がある。またメモリセルの占有面積も、カップリング容量によるノイズを防止する従来例のメモリセルの占有面積に比較すると約 90% となり、面積も低減できる効果もある。

30 【図面の簡単な説明】

【図 1】本発明の一実施例のメモリセル列を含む半導体記憶装置の構成図である。

【図 2】本発明の一実施例の半導体記憶装置の構成図である。

【図 3】本発明の一実施例の半導体記憶装置のメモリセルの平面配置図である。

【図 4】第 1 の従来例のメモリセルの回路図である。

【図 5】図 3 に示す第 1 の従来例のメモリセルの平面配置図である。

40 【図 6】従来例のメモリセルの記憶セル列の構成図である。

【図 7】第 2 の従来例の記憶セルの平面配置図である。

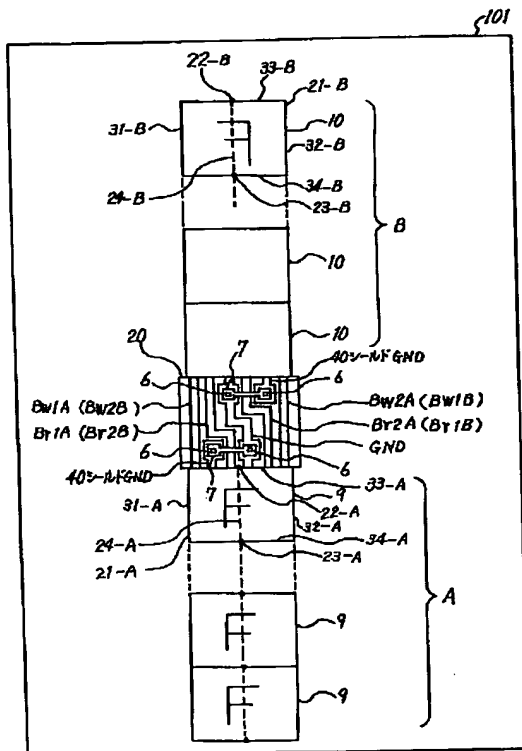
【図 8】第 3 の従来例の記憶セルの平面配置図である。

【符号の説明】

- | | |
|---|----------|
| 1 | N ウェル |
| 2 | P 型拡散 |
| 3 | N 型拡散 |
| 4 | 多結晶シリコン |
| 5 | コンタクトホール |
| 6 | スルーホール |

- 7 第1層のアルミニウム配線
 8 第2層のアルミニウム配線
 9, 10, 11 メモリセル
 20 配線領域
 21-A, 21-B メモリセル形成領域
 22-A, 23-A, 22-B, 23-B 中点
 24-A, 24-B 中心線
 31-A~34-A, 31-B~34-B 端辺
 40 シールドGND線
 100 半導体チップ
 101 メモリ形成部
 102 メモリセルアレイ
 A, B メモリセル形成部
 Ww 書き込み用ワード線

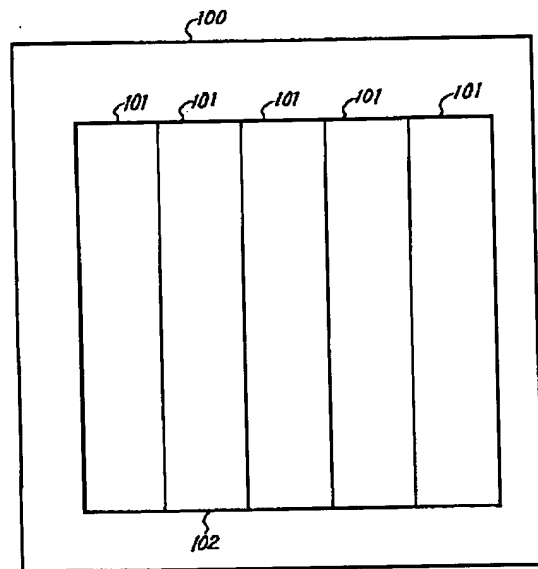
【図1】



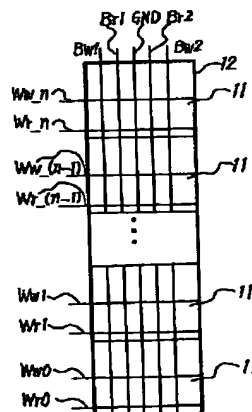
8

- Bw1 書き込み用ビット線
 Bw2 書き込み用ビット線
 Bw2 書き込み用ビット線
 Wr 読み出し用ワード線
 Br1 読み出し用ビット線
 Br2 読み出し用ビット線
 GND グランド配線
 VDD 電源配線
 C1, C2 カップリング容量
 10 QN1, QN2, QN3, QN4, QN5, QN6, QN7, QN8 NMOSTランジスタ
 QP1, QP2, QP3, QP4 PMOSTランジスタ

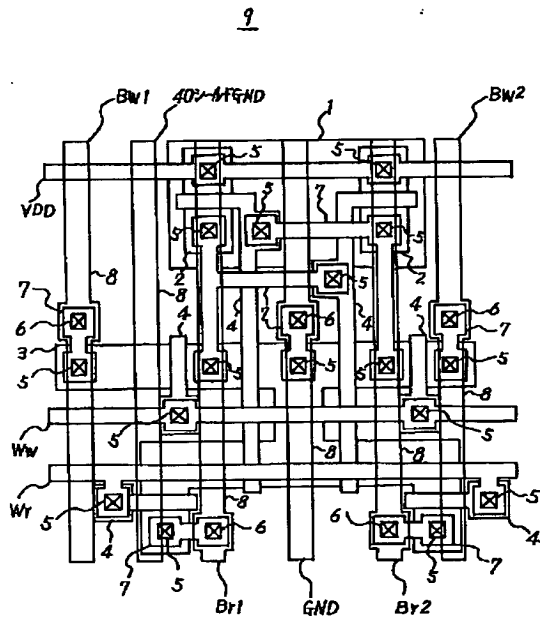
【図2】



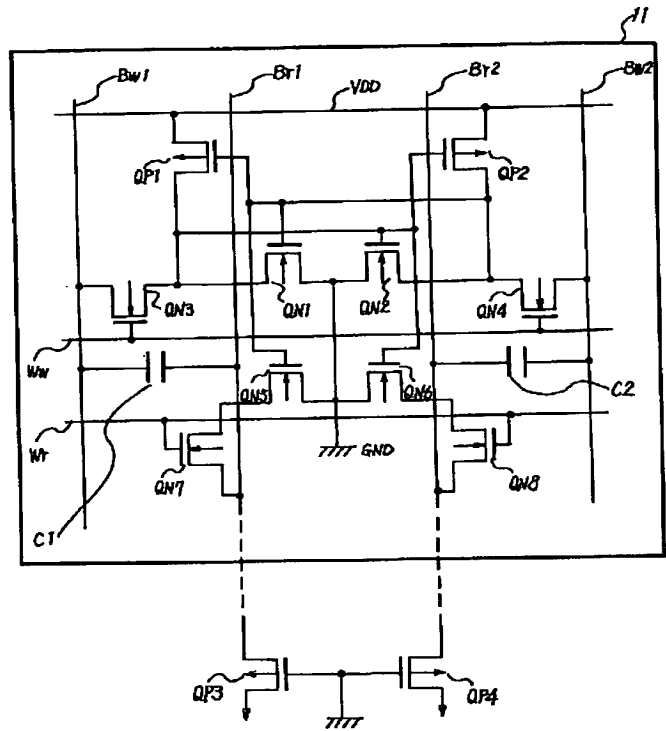
【図6】



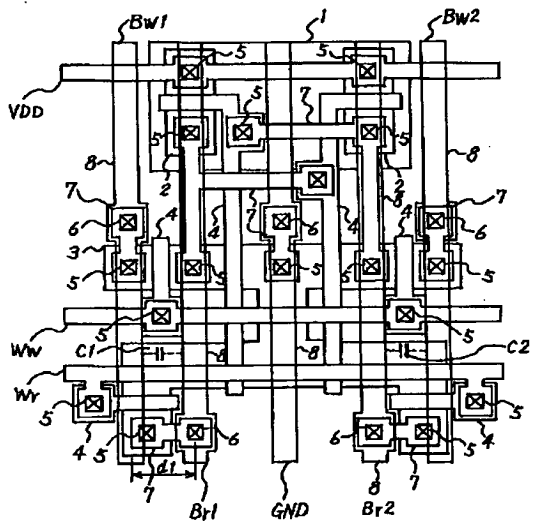
【図 3】



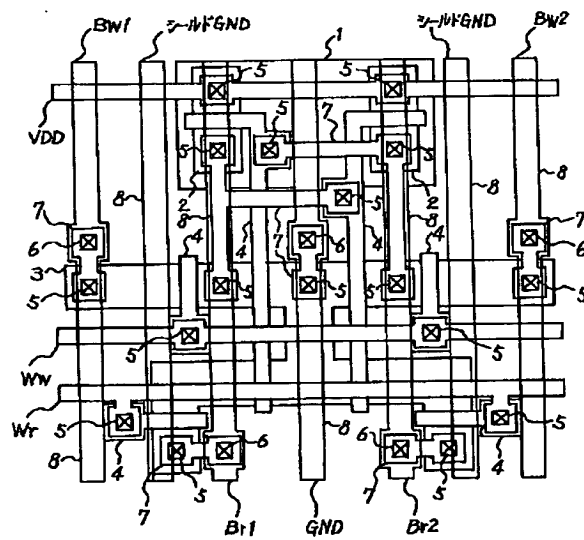
【図 4】



【図 5】



【図 7】



【図 8】

